

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年 12 月 28 日 (28.12.2000)

PCT

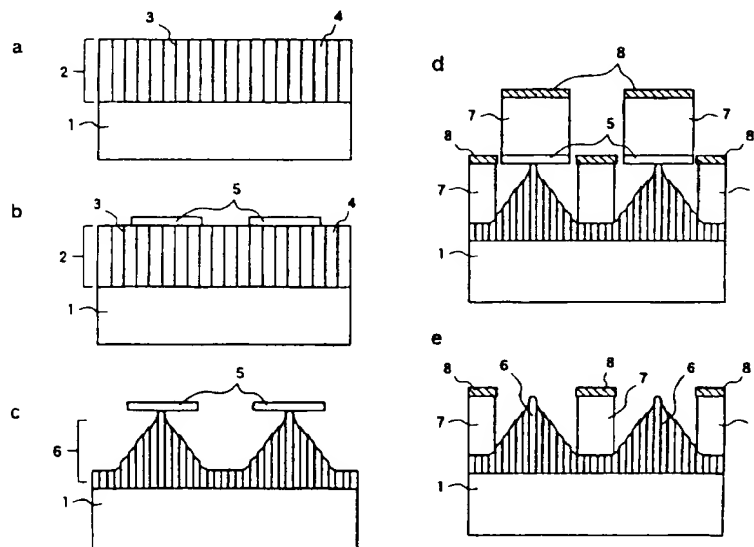
(10) 国際公開番号
WO 00/79556 A1

- (51) 国際特許分類: H01J 1/304, 9/02 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/04114 (75) 発明者/出願人 (米国についてのみ): 則兼哲也 (NORIKANE, Tetsuya) [JP/JP]; 〒793-0044 愛媛県西条市古川甲322-1 エスポワール古川405 Ehime (JP). 平中弘一 (HIRANAKA, Koichi) [JP/JP]; 〒790-0011 愛媛県松山市千舟町2-3-15 Ehime (JP). 和田直樹 (WADA, Naoki) [JP/JP]; 〒791-0202 愛媛県温泉郡重信町樋口675 Ehime (JP). 佐藤安代 (SATO, Yasuyo) [JP/JP]; 〒793-0030 愛媛県西条市大町242-3 サンフローラル3-B Ehime (JP).
(22) 国際出願日: 2000 年 6 月 23 日 (23.06.2000)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願平11/178500 1999 年 6 月 24 日 (24.06.1999) JP (74) 代理人: 弁理士 早瀬憲一 (HAYASE, Kenichi); 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka (JP).
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP). (81) 指定国 (国内): CN, ID, JP, KR, SG, US.
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: EMITTER, EMITTER FABRICATING METHOD, AND COLD ELECTRON EMITTING DEVICE FABRICATING METHOD

(54) 発明の名称: エミッタ、エミッタ製造方法、及び冷電子放出素子製造方法

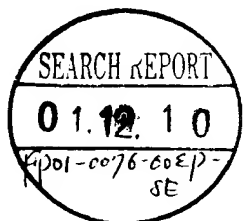


(57) Abstract: A cold electron emitting device comprising an emitter fabricated by etching a columnar polycrystalline film (2) formed by growing columnar crystal grains (4) along the same crystal axis on a substrate (1). Even if multiple emitters are fabricated in such a cold electron emitting device, the uniformness of the shapes of the emitters is of good reproducibility, and the variation of electron emitting characteristic due to variation of the shapes of emitters is little, thereby fabricating a cold electron emitting device having a uniform emitting characteristic and formed on a large-area substrate.

[続葉有]



WO 00/79556 A1





— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明にかかる冷電子放出素子は、基板（１）上に柱状の結晶粒（４）を同じ結晶軸に沿って成長させた柱状多結晶膜（２）に対してエッチングを施すことにより形成されたエミッタからなる。

このような冷電子放出素子では、エミッタを多数形成した場合でも、エミッタの形状の均一性を再現性良く得るとともに、エミッタの形状の変動に起因する電子放出特性のばらつきを抑え、さらに大面積基板上に均一な放出特性を有する冷電子放出素子を得ることができる。

明細書

エミッタ、エミッタ製造方法、及び冷電子放出素子製造方法

5

技術分野

本発明は、平面型画像表示装置や各種センサー、高周波発振器、超高速デバイス、電子顕微鏡、電子ビーム露光装置など種々の電子ビーム利用装置の電子源として用いられる冷電子放出用のエミッタ及びその製造方法に関する。

10

背景技術

従来の電界放出型ディスプレイ装置などの冷電子用電子源には、高さ及び底面の直径が $1\mu\text{m}$ 前後である円錐型の極微小エミッタをカソード側に多数形成したものが用いられている。上記エミッタは、その先端部に電界を集中させることにより放出電流が得られる。この基本構造は、C. A. Spintら (Journal of Applied Physics, Vol. 47, No. 12, p. 5248, 1976年) によって提案されている方法が知られている。その電子放出特性は、エミッタ先端部の形状によって変動するため、電子放出特性を個々のエミッタにおいて等しくするには、多数形成したエミッタの形状、特に先端形状が均一に形成されることが望まれる。

20

また、このエミッタの最大の問題点として、電子放出量が時間変動することがあり、これを解決するためのエミッタ製造方法は、次の二つの方法に大別される。

25

一つは、ガラス基板上に金属のエミッタを形成して、このエミッタに大きな電気抵抗を直列に接続し、放出電流量を安定させるものである。また、別の方法として、半導体によってエミッタとトランジスタを形成し、このトランジスタによって能動的に放出電流量を制御しようとする

ものである。この方法は、消費電力が小さく動作速度も速いため今後の発展が期待されている。

上記半導体を用いてエミッタを形成する場合、次にあげる三種類のエミッタ材料膜が考えられる。一つは粒界がなく、あらゆる部分において
5 結晶方位が一定方向にそろった単結晶膜、次に結晶方位がバラバラな結晶粒が集まった多結晶膜、そして、結晶構造をもたない非晶質膜である。上記三種類の冷電子放出素子材料の中で、優れた特性のトランジスタを形成することを考えるならば、単結晶膜あるいは多結晶膜を用いる方がよい。

10 単結晶膜を用いた場合、粒界がなく結晶方位が一定方向となっているために、湿式エッチングあるいは反応性イオンエッチングの等方性、あるいは異方性エッチング速度が一様であり、均一性の優れたエミッタを製造することができる。しかし、単結晶膜は、製造コストが高くかつ安価なガラス基板などの大面積基板上に作製できないために実用性に乏し
15 いのが現状である。

一方、多結晶膜は単結晶膜を用いる場合に比べて製造コストが安価であり、しかも大面積基板上に低温で製造を行うことができるので、ディスプレイ装置等の微小な電子源に適している。

第10図は、上記従来の多結晶膜基板の断面図を示す図であり、第1
20 1図は、第10図の多結晶膜を用いて製造したエミッタの断面図である。

第10図において、1は、例えばガラスなどの基板であり、その上部に結晶方位、及び粒径の異なる微小な結晶粒13からなる多結晶膜14が形成されている。該多結晶膜14内は、上記基板1上に種々の大きさと方向性をもった結晶粒13が存在するために、無数の粒界が存在して
25 いる。

また、第11図に示す多結晶膜14を用いて製造したエミッタ15は、ガラスなどの基板1上に結晶方位、及び粒径の異なる微小な結晶粒13からなる多結晶膜14をエッチング加工することにより形成することができる。

5 以上のように、上記従来技術において、基板上に多結晶膜 1 4 を形成させてエミッタ 1 5 を製造しているのもので、良好な特性のトランジスタと冷電子放出素子を低いプロセス温度で製造することができ、大面積の安価なガラス基板を使用することができる。その結果、エミッタ 1 5 の製造コストを下げることもできる。

10 しかしながら、上記多結晶膜 1 4 を用いて形成したエミッタ 1 5 は、電子放出特性にバラツキを生じるという問題がある。これは、エッチング加工を行う多結晶膜の結晶粒径のバラツキ、及び各結晶粒の結晶方位および結晶配向面が大きく異なっているためであり、エッチングによるエミッタ 1 5 形成の際に、等方性あるいは異方性エッチング速度が、粒界を境として結晶粒ごとに異なることが挙げられる。

すなわち、従来の多結晶膜 1 4 では、等方性、あるいは異方性エッチング速度が結晶粒ごとに異なるため、第 1 1 図に示すように、エミッタ 1 5 表面に規則性のない無数の凹凸が形成され、その結果、電子放出特性にバラツキを生じる。しかも、エッチングによるエミッタ 1 5 の形成に再現性が得られない。したがって、このような不規則性の多結晶膜 1 4 では大面積基板に均一なエミッタ 1 5 を再現性よく、多数形成することが困難であり、エミッタ 1 5 を用いたデバイスの製造コストも高くなる。

20 本発明は、かかる問題点を解決するためになされたものであり、エミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができるエミッタ、及びその製造方法を提供することを目的とする。

25

発明の開示

本発明請求の範囲第 1 項に記載のエミッタは、基板上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜に対してエッチングを施すことにより形成することを特徴とするものである。これにより、エミ

ッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第 2 項に記載のエミッタは、基板上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成した後に、
5 上記柱状多結晶膜上に第 1 の絶縁膜をパターンニングし、上記パターンニングされた第 1 絶縁膜を用いて、上記柱状多結晶膜にエッチングを施すことにより形成することを特徴とするものである。これにより、エミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第 3 項に記載のエミッタは、基板上に第 2 の絶縁膜を形成し、上記第 2 の絶縁膜上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成した後に、上記柱状多結晶膜上に第
15 1 の絶縁膜をパターンニングし、上記パターンニングされた第 1 の絶縁膜を用いて、上記柱状多結晶膜にエッチングを施すことにより形成することを特徴とするものである。これにより、エミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第 4 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 3 項の何れかに記載のエミッタにおいて、上記柱状多結晶膜を構成する柱状結晶粒は、基板面に対してある一定の方向に結晶方位、及び結晶面がそろっていることを特徴とするものである。これにより、エミッタを多数形成した場合でも、エミッタの形状の均一性を
25 再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

次に、本発明請求の範囲第 5 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 4 項の何れかに記載のエミッタにおいて、上記柱状多結晶膜は、少なくとも珪素を含むことを特徴とするものである。これ

により、大面積基板上に柱状多結晶を 500℃以下の低温プロセスで実現できる。したがって、大面積基板上に柱状多結晶を均一形状にエッチングでき、大面積基板上にエミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

次に、本発明請求の範囲第 6 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 5 項に何れかに記載のエミッタにおいて、上記柱状多結晶膜の配向面は、 $\{110\}$ であることを特徴とするものである。これにより、結晶方位と結晶面がそろいやすくなるため、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

次に、本発明請求の範囲第 7 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 5 項の何れかに記載のエミッタにおいて、上記柱状多結晶膜の配向面は、 $\{100\}$ であることを特徴とするものである。これにより、結晶方位と結晶面がそろいやすくなるため、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。また、さらに、結晶粒界の障壁を抑制することができるとともに、絶縁膜界面に形成される捕獲準位がより少なくなる。したがって、走行電子の移動度が増大し、効率のよいエミッタを実現できる。

次に、本発明請求の範囲第 8 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 7 項の何れかに記載のエミッタにおいて、上記柱状多結晶膜にエッチングを施すことにより形成されたエミッタ先端の曲率半径が 50 nm 以下であることを特徴とするものである。これにより、エミッタ先端の電界集中を増大させ、低電圧で電子を放出させることができる。

次に、本発明請求の範囲第 9 項に記載のエミッタは、請求の範囲第 1 項乃至請求の範囲第 8 項の何れかに記載のエミッタにおいて、上記柱状

- 結晶膜を構成する柱状結晶粒は、該柱状結晶粒の短い方の粒径が、少なくとも100nm以上であることを特徴とするものである。これにより、エミッタ先端部における、エッチングのばらつきとなる結晶粒界の数を減らし、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第10項に記載のエミッタは、請求の範囲第9項に記載のエミッタにおいて、上記柱状結晶粒と基板のなす角度は 83° 以上であることを特徴とするものである。これにより、エミッタ先端部における、エッチングのばらつきとなる結晶粒界の数を減らし、さらに均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第11項に記載のエミッタは、請求の範囲第3項に記載のエミッタにおいて、上記第2の絶縁膜は、少なくとも、酸素かあるいは窒素を含むことを特徴とするものである。これにより、ガラスから柱状多結晶への不純物拡散を抑制し結晶性の優れた柱状多結晶を提供し、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第12項に記載のエミッタは、請求の範囲第2項、または請求の範囲第3項に記載のエミッタにおいて、上記パターンニングされた第1の絶縁膜は、円形状であることを特徴とするものである。これにより、柱状多結晶膜をエッチングすることにより、容易に先端が先鋭なエミッタを実現できる。

次に、本発明請求の範囲第13項に記載のエミッタは、請求の範囲第2項または請求の範囲第3項に記載のエミッタにおいて、上記パターンニングされた第1の絶縁膜は、多角形状であることを特徴とするものである。これにより、本発明請求の範囲第12項の効果に加え、さらにフォ

トリソグラフィの露光精度が上がり、かつ、露光マスクのコストを下げる
ことができる。

次に、本発明請求の範囲第 1 4 項に記載のエミッタ製造方法は、基板
上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成
5 する工程と、上記柱状多結晶膜に対してエッチングを施す工程とを有す
ることを特徴とするものである。これにより、エミッタを多数形成した
場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッ
タの形状の変動に起因する電子放出特性のバラツキを抑えることができ
る。

10 次に、本発明請求の範囲第 1 5 項に記載のエミッタ製造方法は、基板
上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成
する工程と、上記柱状多結晶膜上に第 1 の絶縁膜をパターニングする工
程と、上記パターニングされた第 1 絶縁膜を用いて、上記柱状多結晶膜
15 をエッチングする工程とを有することを特徴とするものである。これに
より、エミッタを多数形成した場合でも、エミッタの形状の均一性を再
現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性
のバラツキを抑えることができる。

次に、本発明請求の範囲第 1 6 項に記載のエミッタ製造方法は、基板
上に第 2 の絶縁膜を形成する工程と、上記第 2 の絶縁膜上に柱状の結晶
20 粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成する工程と、上
記柱状多結晶膜上に第 1 の絶縁膜をパターニングする工程と、上記パタ
ーニングされた第 1 の絶縁膜を用いて、上記柱状多結晶膜をエッチング
する工程とを有することを特徴とするものである。これにより、エミッ
タを多数形成した場合でも、エミッタの形状の均一性を再現性よく得る
25 とともに、エミッタの形状の変動に起因する電子放出特性のバラツキを
抑えることができる。

次に、本発明請求の範囲第 1 7 項に記載のエミッタ製造方法は、請求
の範囲第 1 4 項乃至請求の範囲第 1 6 項の何れかに記載のエミッタ製造
方法において、上記柱状多結晶膜を構成する柱状結晶粒は、基板面に対

してある一定の方向に結晶方位、及び結晶面がそろっていることを特徴とするものである。これにより、エミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 5 次に、本発明請求の範囲第 18 項に記載のエミッタの製造方法は、請求の範囲第 14 項及至請求の範囲第 17 項の何れかに記載のエミッタ製造方法において、上記柱状多結晶膜は、少なくとも珪素を含むことを特徴とするものである。これにより、大面積基板上に柱状多結晶を 500℃
10 以下の低温プロセスで実現できる。したがって、大面積基板上に柱状多結晶を均一形状にエッチングでき、大面積基板上にエミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第 19 項に記載のエミッタ製造方法は、請求
15 の範囲第 14 項乃至請求の範囲第 18 項の何れかに記載のエミッタ製造方法において、上記柱状多結晶膜の配向面は、 $\{110\}$ であることを特徴とするものである。これにより、結晶方位と結晶面がそろいやすくなるため、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出
20 特性のバラツキを抑えることができる。

- 次に、本発明の請求の範囲第 20 項に記載のエミッタ製造方法は、請求の範囲第 14 項乃至請求の範囲第 18 項の何れかに記載のエミッタ製造方法において、上記柱状多結晶膜の配向面は、 $\{100\}$ であることを特徴とするものである。これにより、結晶方位と結晶面がそろいやすくなるため、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。また、さらに、結晶粒界の障壁を抑制することができるとともに、絶縁膜界面に形成される捕獲準位
25 がより少なくなる。したがって、走行電子の移動度が増大し、効率のよ

いエミッタを製造することができる。

次に、本発明請求の範囲第 2 1 項に記載のエミッタ製造方法は、請求の範囲第 1 4 項乃至請求の範囲第 2 0 項の何れかに記載のエミッタ製造方法において、エミッタ先端の曲率半径が 5 0 n m 以下となるように、

- 5 上記柱状多結晶膜にエッチングを施すことを特徴とするものである。これにより、エミッタ先端の電界集中を増大させ、低電圧で電子を放出させることができる。

- 次に、本発明請求の範囲第 2 2 項に記載のエミッタ製造方法は、請求の範囲第 1 4 項乃至請求の範囲第 2 1 項の何れかに記載のエミッタ製造方法において、上記柱状結晶膜中の柱状結晶粒は、該柱状結晶粒の短い方の粒径が、少なくとも 1 0 0 n m 以上であることを特徴とするものである。これにより、エミッタ先端部における、エッチングのぼらつきとなる結晶粒界の数を減らし、均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に
- 10 起因する電子放出特性のバラツキを抑えることができる。

- 次に、本発明請求の範囲第 2 3 項に記載のエミッタ製造方法は、請求の範囲第 2 2 項に記載のエミッタ製造方法において、上記柱状結晶粒と基板のなす角度は、 83° 以上であることを特徴とするものである。これにより、エミッタ先端部における、エッチングのぼらつきとなる結晶粒界の数を減らし、さらに均一形状なエッチングを可能とし、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。
- 20

- 次に、本発明請求の範囲第 2 4 項に記載のエミッタ製造方法は、請求の範囲第 1 6 項に記載のエミッタ製造方法において、上記第 2 の絶縁膜は、少なくとも、酸素かあるいは窒素を含むことを特徴とするものである。これにより、ガラスから柱状多結晶への不純物拡散を抑制し結晶性の優れた柱状多結晶を提供し、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。
- 25

次に、本発明請求の範囲第 2 5 項に記載のエミッタ製造方法は、請求の範囲第 1 5 項または請求の範囲第 1 6 項に記載のエミッタ製造方法において、上記パターニングされた第 1 の絶縁膜は、円形状であることを特徴とするものである。これにより、柱状多結晶膜をエッチングすることにより、容易に先端が先鋭なエミッタを実現できる。

次に、本発明請求の範囲第 2 6 項に記載のエミッタ製造方法は、請求の範囲第 1 5 項または請求の範囲第 1 6 項に記載のエミッタ製造方法において、上記パターニングされた第 1 の絶縁膜は、多角形状であることを特徴とするものである。これにより、本発明請求の範囲第 2 5 項の効果に加え、さらにフォトリソグラフィの露光精度が上がり、かつ、露光マスクのコストを下げることができる。

次に、本発明請求の範囲第 2 7 項に記載の冷電子放出素子製造方法は、請求の範囲第 1 5 項または請求の範囲第 1 6 項に記載のエミッタ製造方法によりエミッタを製造する工程と、上記柱状多結晶膜上にパターニングされた第 1 の絶縁膜を残したまま、第 3 の絶縁層と引出しゲート電極を形成する工程と、上記柱状多結晶膜上にパターニングされた第 1 の絶縁膜の上部のみを除去して開口部を形成する工程とを有するものである。これにより、フォトリソ工程を用いることなく、容易に引出ゲート電極を形成でき、冷電子放出素子の製造コストを下げることができる。

20

図面の簡単な説明

第 1 図は、本発明の実施の形態 1 による柱状多結晶基板の断面図である。

第 2 図は、第 1 図に示した柱状多結晶基板を用いた冷電子放出素子の製造方法の工程断面図である。

25

第 3 図は、本発明の実施の形態 1 による柱状多結晶基板のラマンスペクトルである。

第 4 図は、本発明の実施の形態 2 による下地層を設けた柱状多結晶基板の断面図である。

第5図は、本発明の実施の形態3および5によるある一定方向に結晶方位および結晶面がそろった柱状多結晶基板の断面図である。

第6図は、本発明の実施の形態4による冷電子放出素子の断面図である。

- 5 第7図は、本発明の実施の形態6による膜構造の違いによる冷電子放出素子からの放出電子量を示す図である。

第8図は、 $\{110\}$ 配向した柱状多結晶シリコン膜のXRDスペクトルである。

- 10 第9図は、エミッタ先端にかかる電界強度とエミッタ先端曲率半径との関係を示す図である。

第10図は、従来技術における多結晶膜の断面図である。

第11図は、従来技術における多結晶膜を用いたエミッタの断面図である。

- 15 発明を実施するための最良の形態

(実施の形態1)

以下に、発明の実施の形態1について、第1図、第2図を用いて説明する。

- 20 第1図は、本発明の実施の形態1による柱状多結晶基板の断面図であり、第2図は、本発明の実施の形態1によるエミッタ、及び冷電子放出素子の製造方法の工程断面図である。

第1図において、1は、例えばガラスなどの基板である。2は、柱状多結晶膜である。3は、結晶粒子間の境を示す結晶粒界である。4は、柱状結晶粒である。

- 25 以下に、柱状多結晶膜2の形成について説明する。第1図に示すガラスなどの基板1上に、例えば材料ガスとして水素ガスにより希釈された0.1%から3%のシランガスを用いたプラズマ化学気相成長法(PCVD法)により、基板温度200℃から350℃、成膜圧力0.1Paから5Pa、RF power 300Wから1kWの条件において結晶

方位および結晶面がそろっている粒径約100nmから140nmの柱状の多結晶シリコン膜である柱状多結晶膜2を形成する。この条件で成長した膜は、主として{110}面配向を有する柱状多結晶膜2となる。

また、第1図に示すガラスなどの基板1上に、例えば、同じくPCVD法で材料ガスにシランガスと四フッ化珪素ガスの混合ガスを用いて、
5 基板温度250℃から450℃、成膜圧力100Paから170Pa、RF power 50Wから500Wの条件において作製すると、主として{100}面配向を有する粒径約250nmの柱状多結晶膜2が得られる。

10 このように作製された{110}面配向、或は{100}面配向した柱状多結晶膜2は、ともに本発明の作用である均一形状のエミッタを有する冷電子放出素子を実現できる。

なお、柱状多結晶膜2には非晶質層が含まれるが、均一形状のエミッタを形成するには、多結晶と非晶質の単位面積に含まれる比率である結
15 晶化率が80%以上であることが望ましい。

この結晶化率は、例えばラマン分光により測定でき、ラマン分光法による結晶相のラマンシフト量約520cm⁻¹の強度I(520)と非晶質相のラマンシフト量480cm⁻¹の強度I(480)との関係で示される結晶化率I(520)/{I(520)+I(480)}で表わされる(第
20 3図参照)。

なお、本実施の形態では代表的な成長条件を特定したものであり、珪素を含む混合ガスを用いてガス流量、ガス混合比、基板温度、成膜圧力、RF powerなどのある特定の範囲を持った成長条件において柱状多結晶膜2を得ることができ、その粒径やサイズは上記成長条件によっ
25 て変化させることができる。

例えば、第8図に、シランと水素の混合ガスを用いたプラズマ化学気相成長法(PCVD法)により、基板温度300℃、成膜圧力2Pa、RF Power 300Wの条件で成膜した代表的な柱状多結晶シリコン膜のX線回折(XRD)スペクトルを示す。上記条件により成膜した

膜は、 2θ が約 47.4° に強いピークが得られており、 (220) 面に配向しているのがわかる。

また、 $\{100\}$ 面に配向している柱状多結晶膜2は、シランガスと四フッ化珪素ガスの混合ガスを用いたPCVD法により、基板温度300℃、成膜圧力100Pa、RF Power 300Wの条件で成膜したときに得られ、XRDスペクトルの 2θ が約 63.2° に (400) のピーク（図示せず）が現れる。

次に、前述した柱状多結晶膜2を用いて製造するエミッタ、及び冷電子放出素子の製造方法について第2図を用いて説明する。

10 前述したように柱状多結晶膜2を基板1上に形成（第2（a）図）した後、第2（b）図に示すように、PCVD法やスパッタ法、蒸着法等により SiO_2 などの第1の絶縁膜5を、柱状多結晶膜上に、各ドットが円形状または多角形状となるようにパターンニングする。このパターンニングは、例えば、絶縁膜を200nm程度堆積し、フォトリソ工程により、該絶縁膜を直径1 μm 程度の円形状あるいは多角形状のドットパターンに加工する。

円形状あるいは多角形状の第1の絶縁膜5を形成後、第2（c）図に示すように、反応性イオンエッチング（RIE）を施すことにより、柱状多結晶膜2を加工し、エミッタ6を得る。エッチングガスとしては、例えば SF_6 ガスなどのハロゲンガスが用いられる。

続いて、第2（d）図に示すように、蒸着法などにより SiO_2 などのゲート絶縁層7とNbなどの引出しゲート電極8を形成する。ゲート絶縁層7の膜厚を制御することにより、エミッタ6先端部と引出しゲート電極8の間の距離を容易に変化させ、エミッタ6先端部に効率よく電界を集中させることができ、電子放出効率の良好な冷電子放出素子が得られる。

最後に、第2（e）図に示すように、リフトオフ法により上記円形状あるいは多角形状ドットパターンに加工された第1の絶縁膜5部分から上部を除去し、開口部を形成する。なお、本実施形態1では、リフトオ

フ法によりゲート絶縁層 7 と引出し電極 8 を除去し開口部を形成しているが、エッチバック法により形成することも可能である。

5 以上のように、本実施の形態 1 によれば、柱状多結晶膜 2 を用いて、エッチングを施すことによりエミッタ 6 を製造したので、各柱状結晶粒 4 内の結晶方位、結晶面が同じであるため、結晶粒界 3 上を除くすべての部分において、湿式や反応性イオンエッチングを施した際の等方性あるいは異方性エッチング速度を等しくすることができる。従って、エミッタ 6 を再現性よく製造することができ、広範囲に多数形成したエミッタ 6 において、形状の均一性を得ることが可能となる。

10 また、柱状多結晶膜 2 は少なくとも珪素（シリコン）を含むものであり、具体的には、多結晶珪素膜や多結晶珪素ゲルマニウムであり、これら珪素を含む材料を用いることにより、大面積基板上に柱状多結晶膜を 500℃以下の低温プロセスで形成することが可能となる。したがって、大面積基板上に柱状多結晶を均一形状にエッチングでき、大面積基板上
15 にエミッタを多数形成した場合でも、エミッタの形状の均一性を再現性よく得るとともに、エミッタの形状の変動に起因する電子放出特性のバラツキを抑えることができる。

（実施の形態 2）

以下に、本発明の実施の形態 2 について、第 4 図を用いて説明する。

20 第 4 図は、本発明の実施の形態 2 による柱状多結晶基板の断面図である。なお、本実施の形態 2 による冷電子放出素子は、基板上に絶縁膜を成膜した後に、柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜 2 を形成し、エミッタ、及び冷電子放出素子を製造する点においてのみ、基板を絶縁膜で被膜しないで上記柱状多結晶膜 2 を形成する上記
25 実施の形態 1 による冷電子放出素子と異なる。そのため、上述の実施の形態 1 と同じ構成要素については同一の符号を付し説明を省略する。

第 4 図において、ガラス基板 1 上に、第 2 の絶縁膜 9 を成膜する。このガラス基板 1 上に、第 2 の絶縁膜 9 を成膜する処理は、例えば、材料ガスとしてシランガスと N_2O ガス、あるいは TEOS と酸素の混合ガス

を用いて、PCVD法により、基板温度200℃から300℃、成膜圧力0.1Paから10Pa、RF power 300Wから500Wの条件で、約300nmから1000nmの二酸化珪素膜 SiO_2 を成膜する。なお、第2の絶縁膜9形成以降のプロセスは、上述の実施の形態1と同様なので省略する。

このように、基板1上に第2の絶縁膜9を成膜することにより、基板1に含まれる不純物、例えば硼素（ボロン）やナトリウムなどの拡散を抑制でき、柱状多結晶膜2の結晶性を向上することができる。

なお、第2の絶縁膜9は、少なくとも、酸素かあるいは窒素を含むものであればよく、二酸化珪素膜 SiO_2 以外にも例えば、窒化膜 SiN_x やあるいは、亜酸化窒化膜あるいは、これらの複合膜を用いても同様の効果が得られる。

（実施の形態3）

以下に、本発明の実施の形態3について、第5図を用いて説明する。

第5図は、本発明の実施の形態3によるある一定方向にそろった柱状多結晶膜基板の断面図である。なお、上述の実施の形態1と同じ構成要素については同一の符号を付し説明を省略する。

第5図において、柱状多結晶粒4は、基板1面に対して結晶方位、及び結晶面がある一定の方向となるように整列している。10は、各結晶粒の方向を示す結晶方位であり、結晶面はこの結晶方位10に垂直に{110}あるいは{100}で配向している。

この柱状多結晶膜柱の柱状多結晶粒の整列は、柱状多結晶膜2に非晶質相が含まれていても、その結晶化率が望ましくは80%以上であると、得ることができる。なお、この均一形状の柱状多結晶粒4からなる柱状多結晶膜基板形成以降のプロセスは、上述の実施の形態1と同様なので省略する。

以上のように、本実施の形態3によれば、柱状結晶膜2内の柱状結晶粒4が、基板1に対してある一定の方向に結晶方位、及び結晶面がそろっている構造としたので、同一結晶粒内のみならず、結晶粒界以外のす

すべての結晶粒領域において、エッチングの等方性、あるいは異方性エッチング速度を等しくすることができる。従って、エミッタを再現性よく製造することができ、広範囲に多数形成したエミッタにおいて形状の均一性を得ることが可能となる。

5 (実施の形態 4)

以下に、本発明の実施の形態 4 について、第 6 図を用いて説明する。

第 6 図は、本発明の実施の形態 4 による柱状多結晶膜 2 を用いて製造した冷電子放出素子のエミッタ部分の断面図である。第 6 図において、11 は、柱状結晶粒の短い方の粒径を示す。6 は、エミッタであり、12 は、エミッタの先端部である。なお、第 6 図において、上述の実施の形態 1 と同じ構成要素については、同一符号を付し、説明を省略する。

エミッタ先端部 12 の曲率半径は、一般的に曲率半径が 50 nm 以上であると、引出しゲート電極 8 (上記第 2 図 (e) 参照) によるエミッタ先端部 12 への電界集中が効率よく行われず、シリコンの場合の電子放出に必要な電界強度 10^6 V/mm を得るためには、引出しゲート電極 8 に 50 V 以上の高い電圧を印加する必要がある。駆動回路は、ゲート電圧が 50 V 以下が望ましいので、エミッタ先端部 12 の曲率半径を 50 nm 以下にすることが望ましい。

また、一般に、珪素の冷電子放出の電界強度は 10^6 V/mm 以上必要とされ、エミッタとエミッタに対して正に電圧 $V \text{ (V)}$ を印加する引出しゲート電極との距離を d 、エミッタの先端曲率半径を r とすると、エミッタの先端での電界強度 F は (1) 式で表される。

$$F = 2V / r \ln(2d / r) \quad (\text{V/mm}) \quad \dots (1)$$

上記 (1) において、例えば、 $d = 0.5 \times 10^{-6} \text{ (m)}$ 、 $V = 60$ 、 80 、 100 (V) としたときの、エミッタ先端曲率半径 r に対する電界強度 F の関係を第 9 図に示す。図において、 F を 10^6 V/mm 以上得るには、 $V > 80 \text{ V}$ 、 $r < 50 \text{ nm}$ の条件を満たさなければならない。そ

のため、 r が大きくなればなるほど、エミッタ先端に 10^6V/mm 以上の電界をかけるために、余計に電圧が必要であり、逆に、 r が小さくなれば、電圧は低くてすむ。高電圧が必要になると、エミッタを制御する駆動回路が複雑になり、また、引出しゲート電極の下部の絶縁層の耐圧も問題になるため、コストの高い冷電子放出素子デバイスとなる。したがって、先端曲率を 50nm 以下とすることにより安価な低電圧駆動回路を提供することができる。

ところで、このエミッタ先端部12の曲率半径は、通常ハロゲンガスを用いた反応性エッチングや、フッ酸を含む湿式エッチング法によれば、曲率半径を極端に 50nm 以下、例えば数 nm 以下程度の鋭い形状にすることは大変難しく、通常は 50nm 程度になってしまう。そのため、柱状結晶粒の短い方の粒径11を 100nm 以上に形成することにより、均一形状のエミッタを有する冷電子放出素子を実現できる。

また、エミッタ先端部12の曲率半径を 50nm 程度の大きさで形成した場合に、柱状結晶粒の短い方の粒径11が 100nm より小さいと、結晶粒界3がエミッタ先端部に位置する確率（可能性）が高くなり、曲率半径 50nm 程度を持つエミッタ先端部12が粒界のために再現性よく形成されなくなる。

さらに、結晶粒界3には欠陥が多く、欠陥がエミッタ先端部12に位置すると、放出電子量が減少してしまう。以上の理由から、柱状結晶粒の短い方の粒径11は、 100nm 以上で形成するのがよい。

以上のように、本実施の形態4によれば、上記柱状結晶粒の短い方の粒径11が少なくとも 100nm 以上であることとしたので、エミッタ先端部12にエッチング速度の異なる結晶粒界が存在せず、エミッタ先端部11を再現性よく形成することが可能となる。

（実施の形態5）

以下に、本発明の実施の形態5について、第5図および第2（e）図を用いて説明する。なお、第5図において、上述の実施の形態3と同じ構成については、同じ符号を用いて説明を省略する。

第5図において、10は、各結晶粒の方向を表す結晶方位である。各結晶粒4は、基板1に対して 83° 以上の角度をもって形成されている。これは、エミッタを形成するには、最低 $0.1\mu\text{m}$ の粒径の柱状多結晶膜2の厚みが少なくとも $0.8\mu\text{m}$ 程度必要であり、この際に、エミッタ先端部付近にできる限りエッチング速度の異なる結晶粒界が存在しないようにするためには、 $\tan^{-1}(0.8/0.1) \cong 83^\circ$ が必要となる。また、第2(e)図に示すように、エミッタ先端部12に電界を集中させて、電子を引出すと、電子はほぼ基板1に対して垂直方向に流れるため、もし、結晶粒が基板1に対して 83° 以下であると、電子が粒界を横切りながら、エミッタ先端部まで流れなければならなくなる。一方、 83° 以上であると、電子は同じ結晶粒をエミッタ先端部まで流れることができ、欠陥の多い粒界を横切らなくてすみ、放出電流を減少させなくてすむ。

以上のように、本実施の形態5によれば、各結晶粒4を、基板1に対して 83° 以上の角度をもって形成したので、エミッタ先端部にエッチング速度の異なる結晶粒界が存在せず、エミッタ先端部11を再現性よく形成することが可能となる。また、電子放出特性の優れた冷電子放出素子を得ることができる。

(実施の形態6)

以下に、本発明の実施の形態6について、第1図、第7図を用いて説明する。なお、第1図は、上述した実施の形態1において説明したため各構成要素の説明は省略する。

柱状結晶粒4の結晶面は、 $\{110\}$ あるいは $\{100\}$ 面配向とした。 $\{110\}$ 面配向としたのは、柱状多結晶膜2の配向面を $\{110\}$ とすることにより、結晶方位と結晶面がそろいやすくなり、したがって、均一形状なエッチングを可能とし、大面積基板上に均一性の優れたエミッタを有する冷電子放出素子を実現するものである。

さらに、配向面を $\{110\}$ あるいは $\{100\}$ 面配向とすることにより、柱状多結晶膜2中の電子が半導体層を走行する際の粒界による電

子運動のエネルギー障壁を下げることができ、移動度が増大し、その結果放出電子量の増大と高速応答を実現できる。

また、 $\{100\}$ 面配向としたのは、 $\{110\}$ 面配向に比べて結晶粒界の障壁を下げて、電子を流れやすくさせるためであるとともに、 $\{100\}$ 面配向にするとゲート絶縁層と半導体結晶面の界面におけるキャリアのトラップが $\{110\}$ 面配向に比べて少なくなり、半導体-絶縁層界面での電子がさらに流れやすくなるからであり、より移動度が増大し、その結果放出電子量の増大と高速応答を実現できる。

本発明において実施した、結晶構造の違いによる 1000 チップのエミッタからの放出電子量の測定量を第 7 図に示す。但し、引出しゲート電極に印加する電圧は同じにしている。第 7 図において、エミッタを配向面 $\{110\}$ 柱状多結晶膜 2 で形成した場合、非晶質（アモルファス）シリコンの場合に比べて、2 倍以上もの放出電子量を示している。放出電子量は、蛍光体からの発光輝度に関係しており、輝度は放出電子量に比例している。すなわち、同じ放出電子量（発光輝度）を得るのに、エミッタを配向面 $\{100\}$ 柱状多結晶膜 2 で形成した場合、アモルファスシリコンの場合に比べて、低い引出しゲート電極ですみ、低電圧化を図ることができる。

さらに、配向面 $\{110\}$ 柱状多結晶膜の場合に比べて、配向面 $\{100\}$ の方が、冷電子放出素子からの電流量が増加しており、低電圧化を図ることができる。

以上のように、本実施の形態 6 によれば、柱状結晶粒の結晶面を $\{110\}$ あるいは $\{100\}$ 面配向とすれば、放出電子量を増大させ、低電圧駆動で、効率の良い冷電子放出素子を形成することが可能となる。

25

産業上利用可能性

本発明にかかるエミッタ、及びエミッタ製造方法は、基板上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜に対してエッチングを施すことにより、先端形状の整ったエミッタを再現性よく形成でき

るため、大面積基板上に多数のエミッタを形成した場合であっても、エミッタ形状の均一性が得られる。これにより、エミッタの形状の変動に起因する冷電子放出素子の電子放出特性のバラツキを抑えることができ、平面型画像表示装置や各種センサー、高周波発振器、超高速デバイス、

- 5 電子顕微鏡、電子ビーム露光装置など種々の電子ビーム利用装置の電子源として利用することができる。

請求の範囲

1. 基板上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜に対してエッチングを施すことにより形成することを特徴とするエミッタ。

- 5 2. 基板上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成した後に、上記柱状多結晶膜上に第1の絶縁膜をパターンニングし、

上記パターンニングされた第1絶縁膜を用いて、上記柱状多結晶膜にエッチングを施すことにより形成することを特徴とするエミッタ。

- 10 3. 基板上に第2の絶縁膜が形成し、上記第2の絶縁膜上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成した後に、上記柱状多結晶膜上に第1の絶縁膜をパターンニングし、

上記パターンニングされた第1の絶縁膜を用いて、上記柱状多結晶膜にエッチングを施すことにより形成することを特徴とするエミッタ。

- 15 4. 請求の範囲第1項乃至請求の範囲第3項の何れかに記載のエミッタにおいて、

上記柱状多結晶膜を構成する柱状結晶粒は、基板面に対してある一定の方向に結晶方位、及び結晶面がそろっていることを特徴とするエミッタ。

- 20 5. 請求の範囲第1項乃至請求の範囲第4項の何れかに記載のエミッタにおいて、

上記柱状多結晶膜は、少なくとも珪素を含むことを特徴とするエミッタ。

- 25 6. 請求の範囲第1項乃至請求の範囲第5項の何れかに記載のエミッタにおいて、

上記柱状多結晶膜の配向面は、 $\{110\}$ であることを特徴とするエミッタ。

7. 請求の範囲第1項乃至請求の範囲第5項の何れかに記載のエミッタにおいて、

上記柱状多結晶膜の配向面は、 $\{100\}$ であることを特徴とするエミッタ。

8. 請求の範囲第1項乃至請求の範囲第7項の何れかに記載のエミッタにおいて、

- 5 上記柱状多結晶膜にエッチングを施すことにより形成されたエミッタ先端の曲率半径が50nm以下であることを特徴とするエミッタ。

9. 請求の範囲第1項乃至請求の範囲第8項の何れかに記載のエミッタにおいて、

- 10 上記柱状結晶膜を構成する柱状結晶粒は、該柱状結晶粒の短い方の粒径が、少なくとも100nm以上であることを特徴とするエミッタ。

10. 請求の範囲第9項に記載のエミッタにおいて、

上記柱状結晶粒と基板のなす角度は 83° 以上であることを特徴とするエミッタ。

11. 請求の範囲第3項に記載のエミッタにおいて、

- 15 上記第2の絶縁膜は、少なくとも、酸素かあるいは窒素を含むことを特徴とするエミッタ。

12. 請求の範囲第2項または請求の範囲第3項に記載のエミッタにおいて、

- 20 上記パターンニングされた第1の絶縁膜は、円形状であることを特徴とするエミッタ。

13. 請求の範囲第2項または請求の範囲第3項に記載のエミッタにおいて、

上記パターンニングされた第1の絶縁膜は、多角形状であることを特徴とするエミッタ。

- 25 14. 基板上に柱状の結晶粒を同じ結晶軸に沿って成長させて柱状多結晶膜を形成する工程と、

上記柱状多結晶膜に対してエッチングを施す工程とを有することを特徴とするエミッタ製造方法。

15. 基板上に柱状の結晶粒を同じ結晶軸に沿って成長させて柱状多

結晶膜を形成する工程と、

上記柱状多結晶膜上に第 1 の絶縁膜をバターンニングする工程と、

上記バターンニングされた第 1 絶縁膜を用いて、上記柱状多結晶膜をエッチングする工程とを有することを特徴とするエミッタ製造方法。

5 16. 基板上に第 2 の絶縁膜を形成する工程と、

上記第 2 の絶縁膜上に柱状の結晶粒を同じ結晶軸に沿って成長させた柱状多結晶膜を形成する工程と、

上記柱状多結晶膜上に第 1 の絶縁膜をバターンニングする工程と、

10 上記バターンニングされた第 1 の絶縁膜を用いて、上記柱状多結晶膜をエッチングする工程とを有することを特徴とするエミッタ製造方法。

17. 請求の範囲第 14 項乃至請求の範囲第 16 項の何れかに記載のエミッタ製造方法において、

15 上記柱状多結晶膜を構成する柱状結晶粒は、基板面に対してある一定の方向に結晶方位、及び結晶面がそろっていることを特徴とするエミッタ製造方法。

18. 請求の範囲第 14 項及至請求の範囲第 17 項の何れかに記載のエミッタ製造方法において、

上記柱状多結晶膜は、少なくとも珪素を含むことを特徴とするエミッタ製造方法。

20 19. 請求の範囲第 14 項乃至請求の範囲第 18 項の何れかに記載のエミッタ製造方法において、

上記柱状多結晶膜の配向面は、 $\{110\}$ であることを特徴とするエミッタ製造方法。

25 20. 請求の範囲第 14 項乃至請求の範囲第 18 項の何れかに記載のエミッタ製造方法において、

上記柱状多結晶膜の配向面は、 $\{100\}$ であることを特徴とするエミッタ製造方法。

21. 請求の範囲第 14 項乃至請求の範囲第 20 項の何れかに記載のエミッタ製造方法において、

エミッタ先端の曲率半径が50 nm以下となるように、上記柱状多結晶膜にエッチングを施すことを特徴とするエミッタ製造方法。

22. 請求の範囲第14項乃至請求の範囲第21項の何れかに記載のエミッタ製造方法において、

- 5 上記柱状結晶膜中の柱状結晶粒は、該柱状結晶粒の短い方の粒径が、少なくとも100 nm以上であることを特徴とするエミッタ製造方法。

23. 請求の範囲第22項に記載のエミッタ製造方法において、

上記柱状結晶粒と基板のなす角度は、83°以上であることを特徴とするエミッタ製造方法。

- 10 24. 請求の範囲第16項に記載のエミッタ製造方法において、

上記第2の絶縁膜は、少なくとも、酸素、あるいは窒素を含むことを特徴とするエミッタ製造方法。

25. 請求の範囲第15項または請求の範囲第16項に記載のエミッタ製造方法において、

- 15 上記パターニングされた第1の絶縁膜は、円形状であることを特徴とするエミッタ製造方法。

26. 請求の範囲第15項または請求の範囲第16項に記載のエミッタ製造方法において、

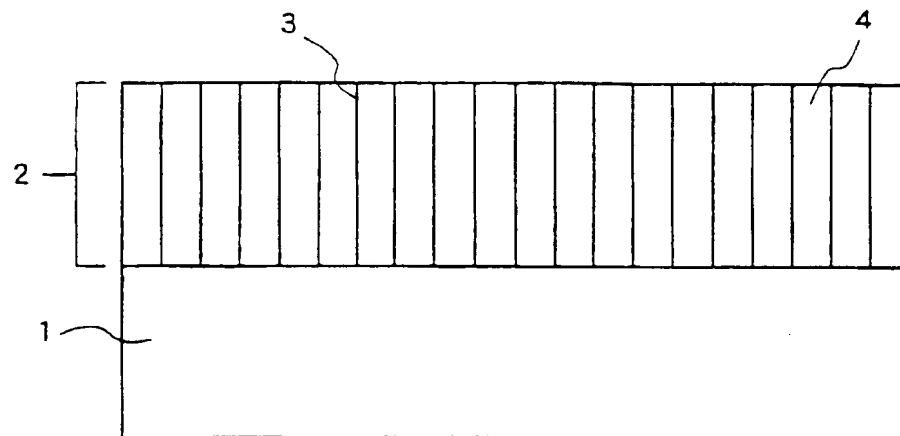
- 20 上記パターニングされた第1の絶縁膜は、多角形状であることを特徴とするエミッタ製造方法。

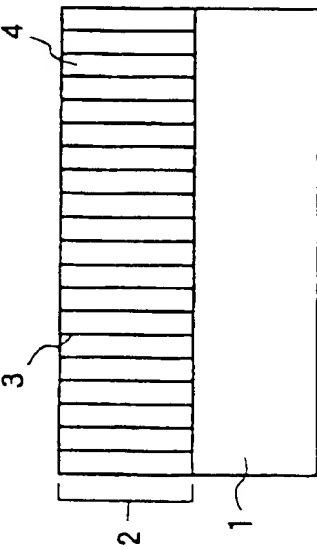
27. 請求の範囲第15項または請求の範囲第16項に記載のエミッタ製造方法によりエミッタを製造する工程と、

上記柱状多結晶膜上にパターニングされた第1の絶縁膜を残したまま、第3の絶縁層と引出しゲート電極を形成する工程と、

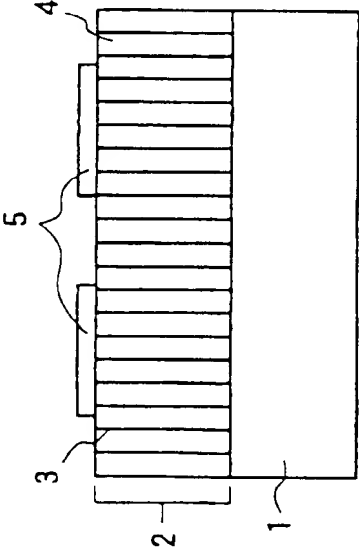
- 25 上記柱状多結晶膜上にパターニングされた第1の絶縁膜の上部のみを除去して開口部を形成する工程とを有することを特徴とする冷電子放出素子の製造方法。

第1図

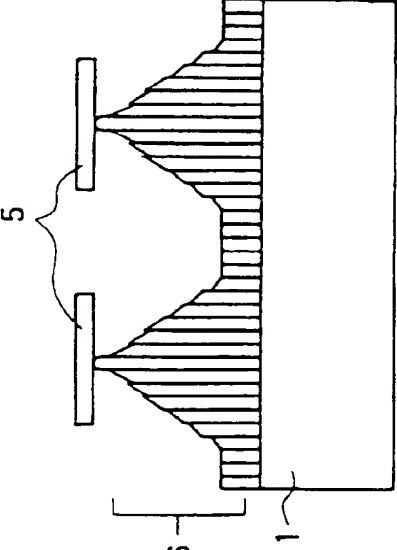




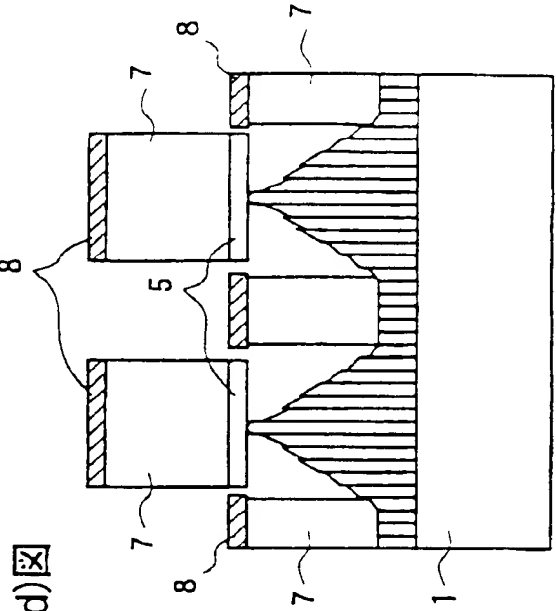
第2(a)図



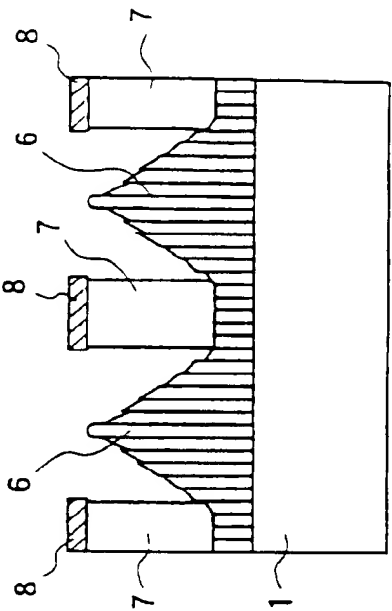
第2(b)図



第2(c)図

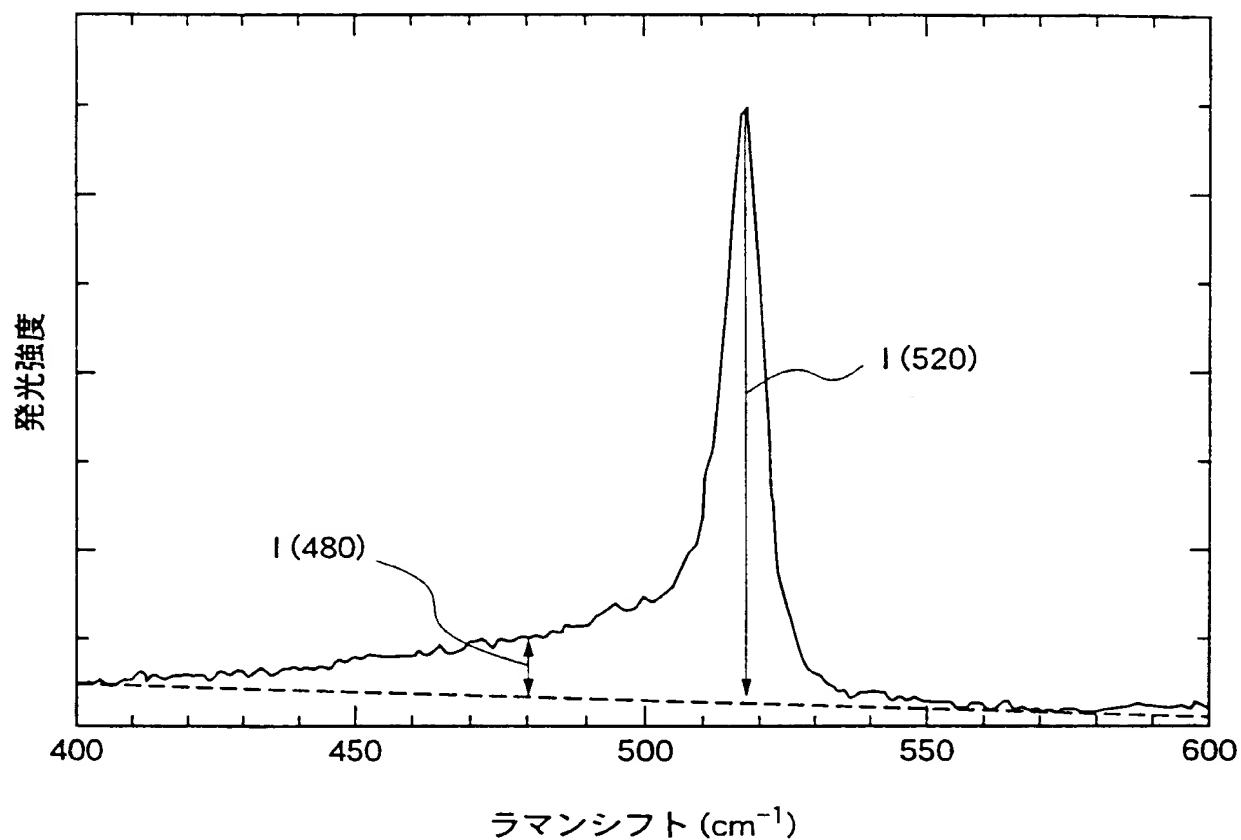


第2(d)図

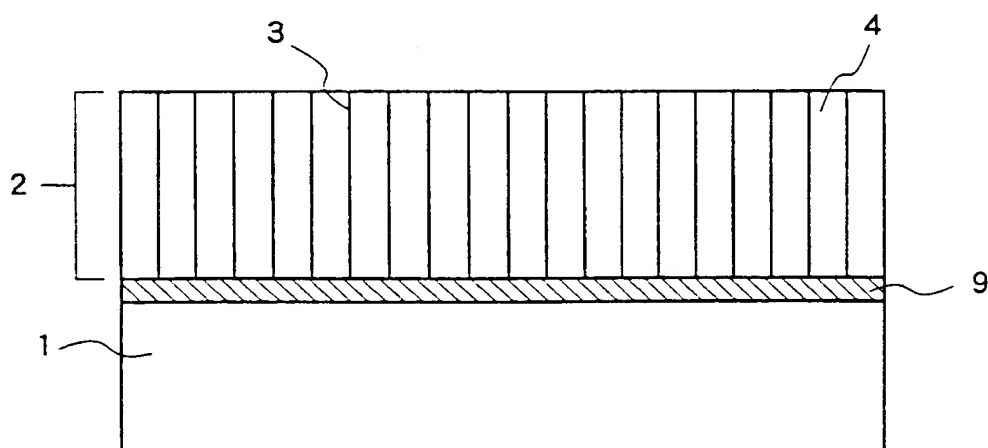


第2(e)図

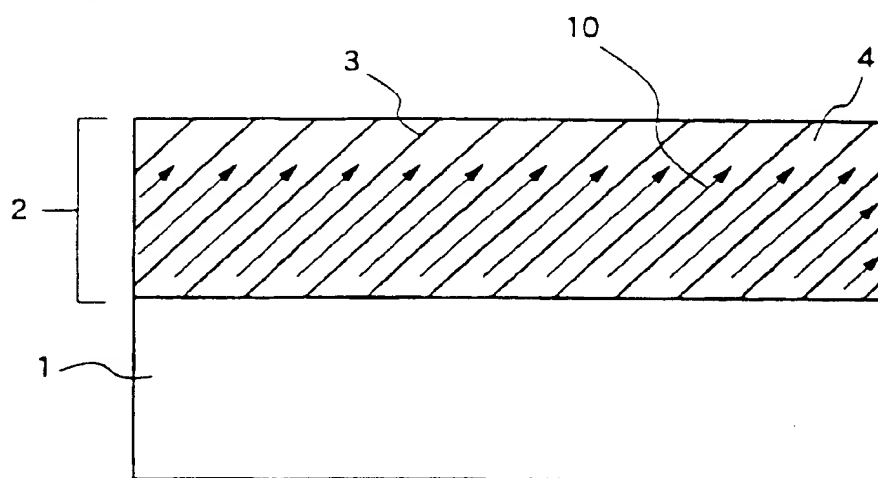
第3図



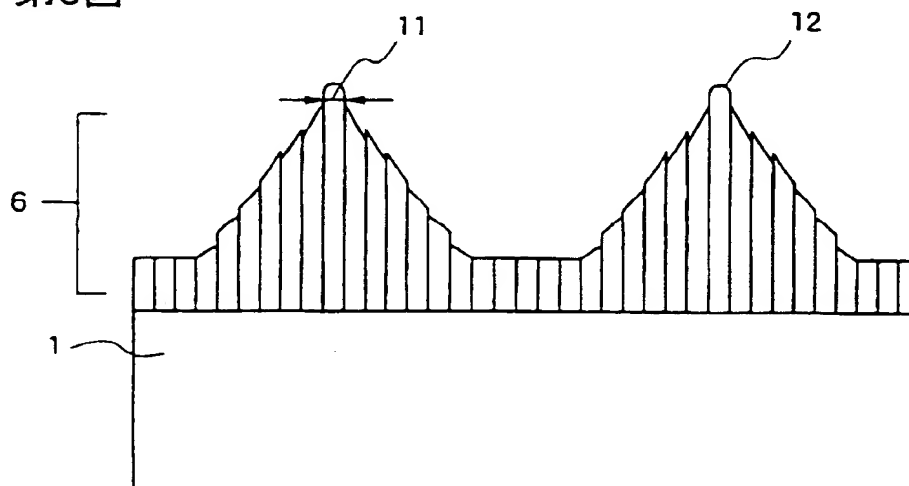
第4図



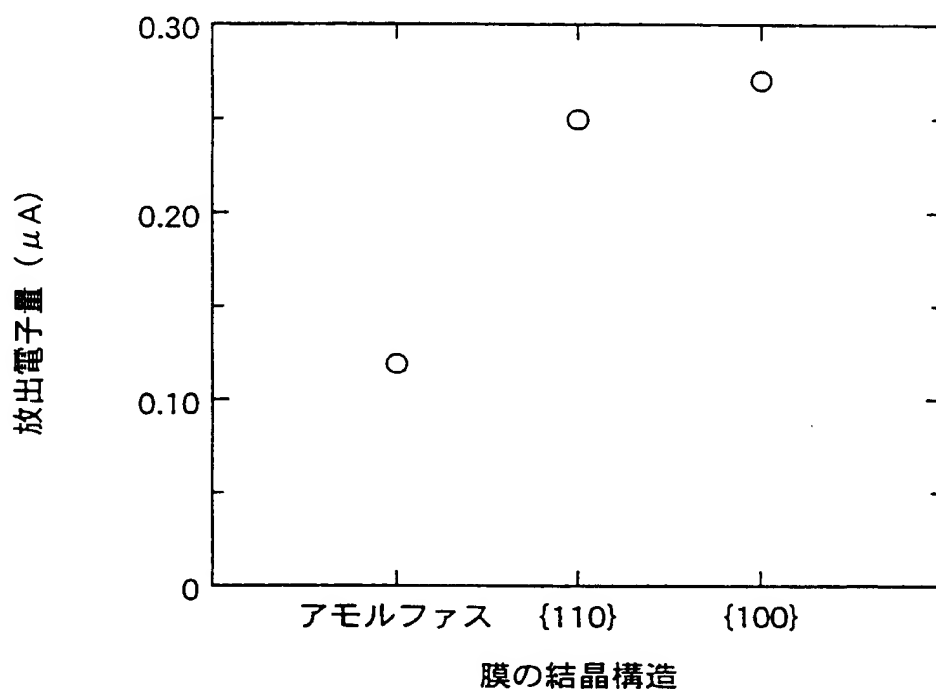
第5図



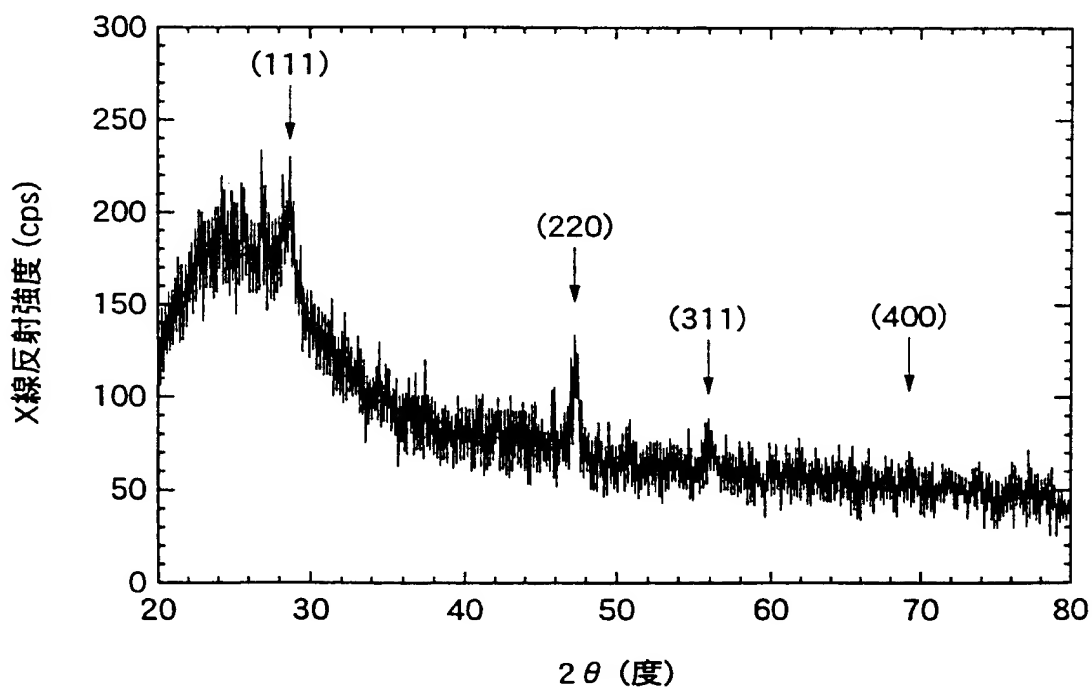
第6図



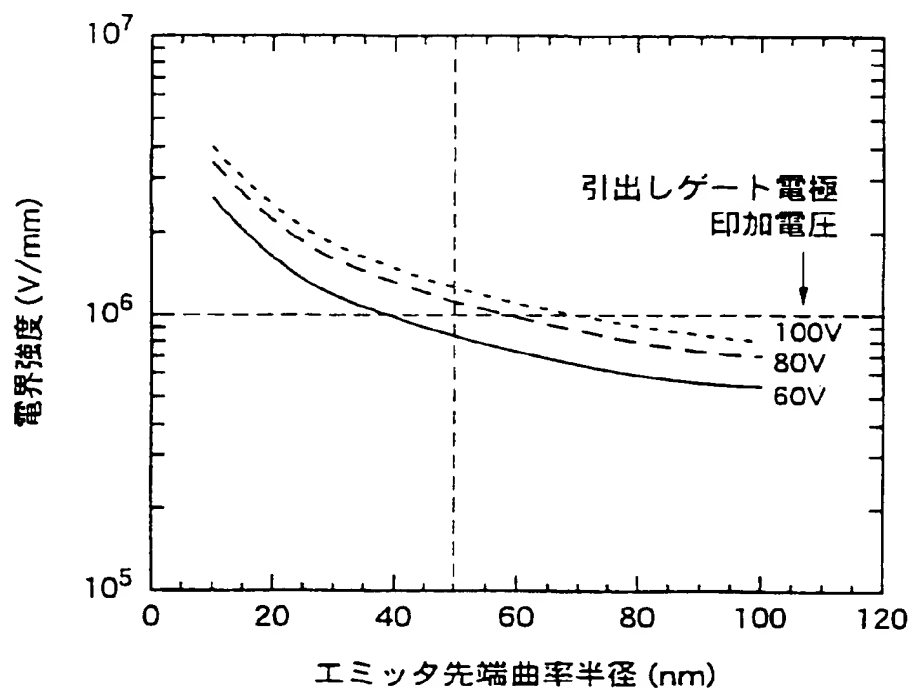
第7図



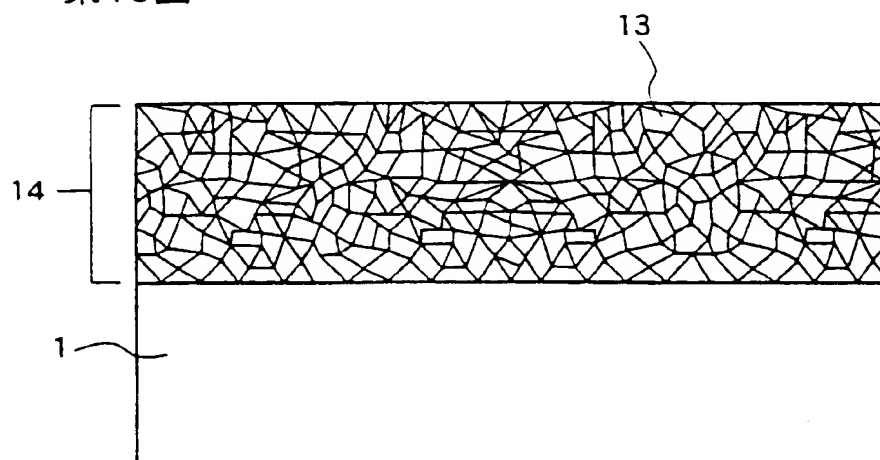
第8図



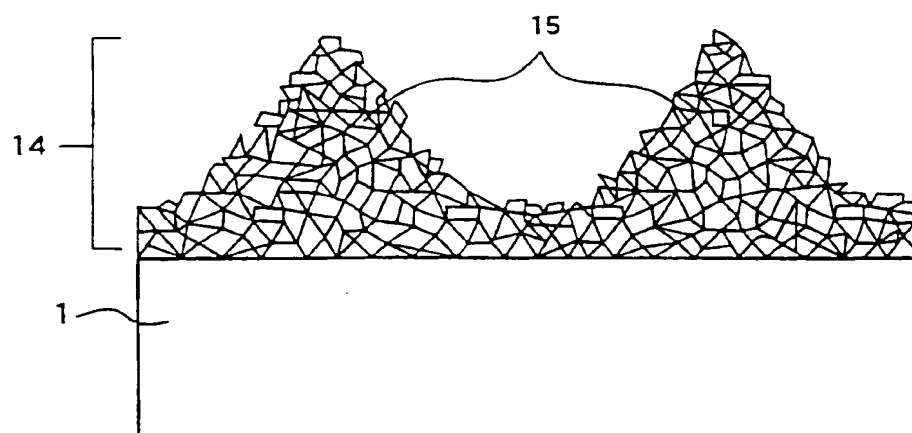
第9図



第10図



第11図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04114

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01J1/304, 9/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01J1/304, 9/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Sinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JUST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-306303, A (Fuji Electric Co., Ltd.) 22 November, 1996 (22.11.96) Full text; all drawings	1, 2, 4-10, 12-15, 17-23, 25-27,
Y	(Family: none)	3, 11, 16, 24
X	JP, 10-312736, A (Richo Co., Ltd.) 24 November, 1998 (24.11.98) Full text; all drawings	1, 4, 8-10, 14, 17, 21-23
Y	(Family: none)	3, 11, 16, 24
X	JP, 2740444, B2 (Micron Technology Inc.) 23 January, 1998 (23.01.98) Par. Nos. [0037]-[0041]; Figs. 10-11	1, 2, 4, 5, 8-10, 12-15, 17, 18, 21-23, 25, 26
Y	(Family: none)	3, 11, 16, 24, 27
Y	JP, 4-167325, A (Sony Corp.) 15 June, 1992 (15.06.92) page 3, upper left column; Fig. 1 & US, 5332627, A & EP, 483814, B1 & DE, 6911271, T	3, 11, 16, 24

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 October, 2000 (10.10.00)Date of mailing of the international search report
17 October, 2000 (17.10.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04114

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-129123, A (Toppan Printing Co., Ltd.) 16 May, 1997 (16.05.97) Full text; all drawings (Family: none)	1-27

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01J1/304, 9/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01J1/304, 9/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 8-306303, A (富士電気株式会社) 22. 11月. 1996 (22. 11. 96)	1, 2, 4-10, 12-1
Y	全文、全図 (ファミリーなし)	5, 17-23, 25-27 3, 11, 16, 24
X	J P, 10-312736, A (株式会社リコー) 24. 11月. 98 (24. 11. 98)	1, 4, 8-10, 14, 1
Y	全文、全図 (ファミリーなし)	7, 21-23 3, 11, 16, 24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10. 10. 00

国際調査報告の発送日

17.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

波多江 進

2 G

9508

電話番号 03-3581-1101 内線 3224

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 2 7 4 0 4 4 4, B 2 (マイクロン・テクノロジー・インコーポレイ テッド) 23. 1月. 1998 (23. 01. 98)	1, 2, 4, 5, 8-10, 1 2-15, 17, 18, 21- 23, 25, 26
Y	【0037】 - 【0041】, 【図10】 - 【図11】 ファミリーなし	3, 11, 16, 24, 27
Y	J P, 4 - 1 6 7 3 2 5, A (ソニー株式会社) 15. 6月. 1992 (15. 06. 92) 第3頁左上欄、第1図 &US, 5 3 3 2 6 2 7, A &EP, 4 8 3 8 1 4, B 1 &DE, 6 9 1 1 2 7 1, T	3, 11, 16, 24
A	J P, 9 - 1 2 9 1 2 3, A (凸版印刷株式会社) 16. 5月. 1997 (16. 05. 97) 全文、全図 (ファミリーなし)	1-27